



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0004626  
Application Number

출원년월일 : 2003년 01월 23일  
Date of Application JAN 23, 2003

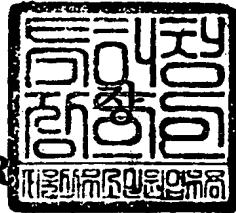
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 26 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.23
【발명의 명칭】	부스팅 회로
【발명의 영문명칭】	Boosting circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	이정원
【성명의 영문표기】	LEE, JEONG WON
【주민등록번호】	661026-1108810
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 194 정든마을 한지아파트 702-2003
【국적】	KR
【발명자】	
【성명의 국문표기】	문재준
【성명의 영문표기】	MOON, JAE JUN
【주민등록번호】	690915-1053018
【우편번호】	140-811
【주소】	서울특별시 용산구 동빙고동 89-1
【국적】	KR
【발명자】	
【성명의 국문표기】	장수정
【성명의 영문표기】	CHANG, SOO JUNG
【주민등록번호】	760714-2405814

【우편번호】 442-838  
【주소】 경기도 수원시 팔달구 지동 480-7  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 정홍식 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 2 면 2,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 6 항 301,000 원  
【합계】 332,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

부스팅 회로가 개시된다. 본 부스팅 회로는, 입력전압의 미분에 비례하는 미분전류를 출력하는 입력회로부, 미분전류를 미러링하여, 미분전류를 반전한 반전미분전류를 생성하는 바이어스 회로부, 및 미분전류 및 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절하고, 조절된 미분전류 및 반전미분전류를 합산하여 푸시풀형태의 출력전류를 생성하는 출력회로부를 구비한다. 이에 의해, 최대 미분가능 주파수 대역이 넓고, 출력전류의 미분특성의 조정이 용이할 뿐만 아니라, 미분형태의 출력전류양이 전압, 공정, 온도 등의 외부요인에 영향을 받지 않게 된다.

**【대표도】**

도 3

**【색인어】**

부스팅 회로, 푸시풀, 미러링

**【명세서】****【발명의 명칭】**

부스팅 회로 {Boosting circuit}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래의 부스팅 회로도,

도 3은 본 발명에 따른 부스팅 회로도,

도 4은 도 3의 입력회로부의 등가회로도,

도 5a 및 도 5b는 본 발명에 따른 부스팅 회로에서 출력전류의 주파수 특성을 나타

낸 도면, 그리고

도 6a 및 6b는 본 발명에 따른 부스팅 회로에서 피드백 저항의 크기에 따른 주파수 특성을 나타낸 도면이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

100a, 100b : 입력회로부    200a, 200b : 출력회로부

300 : 바이어스 회로부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 부스팅(Boosting) 회로에 관한 것으로, 더욱 상세하게는 고주파의 동작 특성 뿐만 아니라 부스팅양이 전압, 공정, 온도 등의 외부 요인에 영향을 받지 않으며, 고주파 등화기 등에 사용될 수 있는 부스팅 회로에 관한 것이다.

<10> CD/DVD(Compact Disk/Digital Video Disk) 등의 광학 기록/재생 장치 또는 하드디스크 드라이브(Hard Disk Drive) 등에 사용되는 등화기(equalizer)의 부스팅 회로는, 입력전압을 미분 형태의 전류로 출력하며, 100MHz 정도의 고주파 대역까지 그룹 지연(group delay) 특성에 영향을 주지 않으면서 부스팅양을 조절할 수 있어야 한다.

<11> 도 1은 종래의 부스팅 회로도의 일 예이다.

<12> 회로도에 도시한 바와 같이, 종래의 부스팅 회로는, 커패시터(C1, C2), 저항(R1, R2), 연산 증폭기(A1), 및 트랜스컨덕터(transconductor)(Gm1)로 구성된다. 연산증폭기(A1)는 입력단자와 출력단자가 각각 2개인 완전 차동(fully differential) 연산증폭기이다.

<13> 이러한 구성의 회로에서, 입력전압  $V_i$  은 연산 증폭기(A1), 커패시터(C1, C2), 저항(R1, R2)로 구성되는 미분회로에 의해 미분된 후, 트랜스컨덕턴스(Gm1)을 통하여 전류로 변환되어 출력된다. 만일,  $R = R1 = R2$  이고,  $C = C1 = C2$  인 경우, 입력전압  $V_i$  와 출력전류  $i_o$  ( $= i_{op} - i_{on}$ ) 관계를 산출하면 다음의 식과 같다.

<14> 【수학식 1】  $i_o(s) = g_m RC s v_i(s)$

<15> 여기서,  $g_m$  은 트랜스컨덕터(Gm1)의 트랜스 컨덕턴스이다. 따라서, 출력전류  $i_o$  의 크기는 트랜스컨덕터(Gm1)의 트랜스 컨덕턴스  $g_m$  을 가변함으로써 조절가능하다.

<16> 그런데, 이러한 부스팅 회로에서는 트랜스 컨덕턴스를  $g_m$  가변하여 출력전류  $i_o$  의 크기를 조절하므로, 온도, 전압, 공정 등의 외부요인에 의한 영향을 받게 되며, 이를 방지하기 위해서는 별도의 튜닝회로가 필요하다는 단점이 있다. 또한, 입력전압을 미분

하고, 이를 다시 전류로 변화하는 2단계의 과정이 필요함으로 전력 소모가 커질뿐만 아니라 주파수 특성도 저하되는 단점이 있다.

<17>      도 2는 종래의 부스팅 회로도의 다른 예이다.

<18>      도 2의 부스팅 회로는, 커패시터(C3, C4), 연산 증폭기(A2), 및 NMOS 트랜지스터(M1 ~ M6)로 구성된다.

<19>      이러한 구성의 회로에서, 입력전압  $V_i$  은 연산 증폭기(A2), 및 콘덴서(C3, C4)를 거쳐 미분형태의 전류로 변환된다. 만일,  $C = C_1 = C_2$  인 경우, 입력전압  $V_i$  과 출력전류  $i_o (= i_{op} - i_{on})$ 의 관계를 구하면 다음의 식과 같다.

<20>    【수학식 2】  $i_o(s) = kC s v_i(s)$

<21>      여기서,  $k$ 는 NMOS 트랜지스터 M1 및 M2, 혹은 M4 및 M5의 크기비, 즉 W/L 의 비이다. 따라서, NMOS 트랜지스터의 크기비를 이용하여 출력전류의 양을 조절할 수 있다.

<22>      도 2의 부스팅 회로의 경우에는, 도 1의 부스팅 회로에 비해, MOS 크기비  $k$ 에 의하여 출력전류의 크기가 조절되므로, 별도의 튜닝 회로가 필요없고, 입력전압을 미분 형태의 출력전류로 바로 변환할 수 있다는 장점이 있다.

<23>      그러나, 도 1의 부스팅 회로의 경우와 달리, NMOS 트랜지스터 M1, M4 및 전류원  $I_B$  등으로 구성된 출력 증폭기의 출력이 NMOS 트랜지스터의 입력으로 사용되는 구성이므로, 연산증폭기(A2)의 입력단은 p-type 소자로 구성되어야 하나, p-type 소자는 트랜스컨덕턴스가 적으므로 n-type 에 비하여 대역폭(bandwidth)를 크게할 수 없다는 단점이 있다. 또한, 연산증폭기(A2)와 NMOS 트랜지스터 M1, M4 및 전류원  $I_B$  으로 구성되는 2단 증폭기 구조이므로, 안정도(stability)를 위한 주파수 보상이 필요하게 된다는 단점

도 있다. 그리고, NMOS 트랜지스터 M1 및 M4의 바이어스 DC 전류  $I_B$  가 NMOS 트랜지스터 M2 및 M5에 반영되므로 미분기 회로의 후단에 연결되는 바이어스단에서 이에 대한 보상이 필요하다는 단점도 존재한다.

#### 【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 최대 미분가능 주파수 대역이 넓고, 미분 특성의 조정이 용이할 뿐만 아니라 출력 전류의 양이 전압, 공정, 온도 등의 외부요인에 영향을 받지 않는 부스팅 회로를 제공함에 있다.

#### 【발명의 구성 및 작용】

<25> 상기 목적을 달성하기 위한 본 발명에 따른 부스팅회로는, 입력전압의 미분에 비례하는 미분전류를 출력하는 입력회로부, 상기 미분전류를 미러링하여, 상기 미분전류를 반전한 반전미분전류를 생성하는 바이어스 회로부, 및 상기 미분전류 및 상기 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절하고, 조절된 상기 미분전류 및 상기 반전미분전류를 합산하여 푸시풀형태의 출력전류를 생성하는 출력회로부를 포함한다.

<26> 상기 입력회로부는, 기준전압과 상기 입력전압의 일단이 입력되어 제1 미분전류를 출력하는 제1 미분회로, 상기 기준전압과 상기 입력전압의 다른 일단이 입력되어 제2 미분전류를 출력하는 제2 미분회로, 및 상기 제1 및 제2 미분전류를 각각 미러링하기 위한 커런트 미러 회로를 포함하는 것이 바람직하다.

<27> 상기 제1 및 제2 미분회로는, 각각 완전차동 연산증폭기, 커패시터, 및 저항으로 이루어지는 미분 회로로 구성하며, 상기 완전차동 증폭기는, 좌우 대칭의 NPN 바이폴라 트랜지스터를 입력단으로 하는 것이 바람직하다.

<28> 상기 바이어스 회로부는, 상기 제1 미분전류를 미러링하여, 상기 제1 미분전류를 반전한 제1 반전미분전류를 생성하고, 상기 제2 미분전류를 미러링하여, 상기 제2 미분전류를 반전한 제2 반전미분전류를 생성하는 것이 바람직하다.

<29> 그리고, 출력회로부는, 상기 제1 미분전류 및 상기 제2 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절한 후, 합산하여 제1 출력전류를 생성하는 제1 출력부, 및 상기 제2 미분전류 및 상기 제1 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절한 후, 합산하여 제2 출력전류를 생성하는 제2 출력부를 포함하며, 상기 출력전류는 상기 제1 및 제2 출력전류를 합산하여 생성하는 것이 바람직하다.

<30> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

<31> 도 3은 본 발명에 따른 부스팅 회로도이다. 본 부스팅 회로는, 입력회로부(100a, 100b), 출력회로부(200a, 200b) 및 바이어스 회로부(300)로 구성된다.

<32> 입력회로부(100a, 100b)는 입력전압의 미분에 비례하는 미분전류를 출력한다. 바이어스 회로부(300)는 푸시풀(pushpull) 형태로 신호를 반영하기 위해, 입력회로부(100a, 100b)에서 출력되는 전류를 미러링하여, 이를 반전한 전류를 생성한다. 출력회로부(200a, 200b)는 입력회로부(100a, 100b) 및 바이어스 회로부(300)에서 출력되는 전류를 각각 MOS 크기비, 즉  $W/L$  값의 비  $k$ 에 따라 크기를 결정하고, 이를 합산하여 푸시풀(pushpull) 형태로 출력한다.

<33> 입력회로부(100a, 100b)는 좌우대칭의 제1 및 제2 트랜지스터(Q11, Q12)로 구성되는 차동증폭기, 제1 커패시터(C11), 및 제1 저항(R12)로 이루어지는 제1 미분회로와, 제3 및 제4 트랜지스터(Q13, Q14)로 구성되는 차동증폭기, 제2 커패시터(C12), 및 제2 저항(R12)로 이루어지는 제2 미분회로, 그리고 PMOS 트랜지스터 M11, M12, M17, M18로 구성되는 커런트 미러 회로로 구성된다.

<34> 제1 미분회로에는  $V_{ip} - V_{ref}$  가 입력전압으로 사용되고, 제2 미분회로에는  $V_{in} - V_{ref}$  가 입력으로 사용된다.

<35> 제1 미분회로의 경우, 차동 증폭기와, 제1 콘덴서(C11) 및 제1 저항(R11)의 피드백(feedback)구조에 의하여, 제1 및 제2 트랜지스터(Q11, Q12)의 컬렉터(collector) 전류가 입력전압( $V_{ip} - V_{ref}$ )의 미분에 비례하는 미분 형태의 미분전류로 변환된다. 즉, 입력 전압( $V_{ip} - V_{ref}$ )에 대응되는 미분형태의 미분전류가 제1트랜지스터(Q11)에 흐르고, 이의 역방향 전류가 제2 트랜지스터(Q12)의 콜렉터에 흐른다. 이때, 제1 저항(R11)은 주파수 특성에서 Q(Quality Factor)를 결정하므로 이를 이용하여 사용대역에서 위상 특성이 미분특성(+90°)을 유지하도록 하는 것이 가능하다. 또한, 도 2의 부스팅 회로의 경우와는 달리, 1단 차동 증폭기의 입력단을 npn 바이폴라 트랜지스터를 사용하여 구성함으로써 주파수 특성을 최대화할 수 있으며, 이의 안정도 특성도 별도의 주파수 보상회로의 부가없이 용이하게 확보가 가능하다. 그리고, 제2 미분회로의 구성 및 동작과정도 제1 미분회로와 같다.

<36> 바이어스 회로부(300)는 입력회로부(100a, 100b)의 PMOS 트랜지스터 M12 및 M18에 흐르는 미분전류를 PMOS 트랜지스터 M13 및 M21을 사용하여 각각 미러링

(mirroring)하고, NMOS 트랜지스터 M16 및 M22의 바이어스 전압 형태로 변환하여 미분 전류를 반전한 미분반전전류를 생성한다.

<37> 출력회로부(200a, 200b)는 입력신호부(100a, 100b)에서 생성된 미분전류와 바이어스 회로부(300)에서 생성되는 반전미분전류의 크기를 MOS 크기비  $k$ 에 조절하고, 이들을 합산하여 푸시풀 형태로 최종 출력전류를 생성한다.

<38> 도 2의 부스팅 회로에서는 기본적인 출력 미분량이 적을 경우, [수학식 2]에 의하여 커패시터(C3,C4) 또는 MOS 크기비  $k$ 값을 크게 설계하여야 하나, 이는 주파수 대역 회생이 따르게 된다. 그러나 본 발명의 부스팅 회로에서는, 푸시풀 구조의 출력단으로써 종래 회로의 부스팅 회로에 대비하여 2배의 출력을 기본적으로 얻을 수 있으므로 종래 회로에 대비하여 고주파 특성이 우수하다.

<39> 도 4는 도 3의 입력회로부(100a, 100b)의 등가회로도이다. 여기서,  $C_s$ ,  $C_1$ 은 각각 입력 및 출력의 기생 커패시턴스(parasitic capacitance)값이며, 차동증폭기의 출력저항 성분은 무시한다. 이러한 회로도에서, 제1 노드(A)와 제2 노드(B)에서 전류식을 구성하면 다음의 식과 같다.

$$<40> \quad \text{【수학식 3】} \quad sC(v_i - v_I) + \frac{v_0 - v_I}{R} = sC_s v_I$$

$$<41> \quad \frac{v_0 - v_I}{R} + sC_L v_0 + g_m v_I = 0$$

<42> 또한, 회로의 각부분에 흐르는 전류는 다음의 식과 같이 정의된다.

$$<43> \quad \text{【수학식 4】} \quad i_i = sC(v_i - v_I)$$

$$<44> \quad i_f = \frac{v_i - v_I}{R}$$



1020030004626

출력 일자: 2003/5/27

<45>  $i_s = sC_s v_i$

<46>  $i_L = sC_L v_o$

<47>  $C \gg C_S, C_L$  이라고 가정하면 [수학식 3], [수학식 4] 입력전압  $V_i$  와  $V_o$ 의 관계를 구하면 다음과 같다.

<48>  $v_o = \frac{1}{g_m} \frac{sC(sRC_L + 1)}{C_L C \frac{R}{g_m} s^2 + \frac{C}{g_m} s + 1} v_i$   
 【수학식 5】

<49> 따라서, 차동증폭기의 전류원(current source) 전류는 다음의 수학식과 같이 정의 된다.

<50>  $g_m v_i = \frac{sC(sRC_L + 1)}{C_L C \frac{R}{g_m} s^2 + \frac{C}{g_m} s + 1} v_i$   
 【수학식 6】

<51> [수학식 6]에서 분모 2차식에 대한 고유진동수(natural frequency)  $\omega_n$  및 감쇠비(damping ratio)  $\zeta$ 를 구하면 다음의 식과 같다.

<52>  $\omega_n = \sqrt{\frac{g_m}{RC_L C}}$   
 【수학식 7】

<53>  $\zeta = \sqrt{\frac{C}{Rg_m C_L}}$

<54> 일반적인 값으로  $RC_L \ll C/g_m$  이므로  $RC_L$ 에 의한 제로(zero) 보다 пол(pole)이 저 주파에 위치한다. 따라서, 연산증폭기의 전류원에서의 전류는 일정 주파수 영역( $\ll \omega_n$ )까지 입력 전압신호에 대하여 다음과 같은 미분관계를 가지게 된다.

<55> 【수학식 8】  $g_m v_i = sC v_i$

<56> 미분형태의 출력전류는 입력전압에 대하여 2차 pole을 가지므로 피드백 저항 R로 써 감쇠비를 조절할 수 있다. 즉, 피드백 저항 R로써 일정 주파수 영역까지 위상이  $90^\circ$  유지되도록 미분 영역을 확장할 수 있다는 의미가 된다.

<57> 이러한 관계를 이용하여 1단 차동증폭기의 미분회로를 구성하면 도 3의 입력부회로 (100a)와 같게 된다.

<58> 한편, 도 5a 및 5b 는 및 도 3은 본 부스팅 회로의 실험결과로써 출력전류의 주파수 특성을 측정한 것으로, 도 5a 는 크기 특성, 도 5b는 위상특성을 나타낸다. 도면에 도시한 바와 같이, 본 부스팅 회로의 위상특성은 약 100MHz 까지  $+90^\circ$ 유지하므로 양호한 미분특성을 얻을 수 있다.

<59> 도 6a 및 도 6b는 도 3의 피드백 저항인 제1 및 제2 저항(R11, R12)의 변화에 따른 주파수 특성변화를 나타낸 것이다. 도시한 바와 같이, 제1 및 제2 저항( RR11, R12)를 사용하여 사용영역에서 위상조절이 용이함을 알 수 있다.

<60> 상기한 바와 같이, 본 부스팅 회로는 최대 미분 가능 주파수 대역이 넓고, 미분 특성의 조정이 용이할 뿐아니라, 미분현태의 출력전류가 전압, 공정, 온도 등의 외부요인에 영향을 받지 않는 효과를 얻을 수 있다.

#### 【발명의 효과】

<61> 이상 설명한 바와 같이, 본 발명에 따르면, 최대 미분가능 주파수 대역이 넓고, 출력전류의 미분특성의 조정이 용이할 뿐만아니라 미분형태의 출력전류양이 전압, 공정, 온도 등의 외부요인에 영향을 받지 않는 부스팅 회로가 제공된다.

<62> 이러한 부스팅 회로는 CD/DVD 등의 광학 기록/재생 장치 또는 하드디스크 드라이브 등에 사용되는 등화기의 부스팅 회로로 사용가능하다.

<63> 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

**【특허 청구범위】****【청구항 1】**

입력전압의 미분에 비례하는 미분전류를 출력하는 입력회로부;

상기 미분전류를 미러링하여, 상기 미분전류를 반전한 반전미분전류를 생성하는 바이어스 회로부; 및

상기 미분전류 및 상기 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절하고, 조절된 상기 미분전류 및 상기 반전미분전류를 합산하여 푸시풀형태의 출력전류를 생성하는 출력회로부;를 포함하는 것을 특징으로 하는 부스팅 회로.

**【청구항 2】**

제1항에 있어서,

상기 입력회로부는,

기준전압과 상기 입력전압의 일단이 입력되어 제1 미분전류를 출력하는 제1 미분회로;

상기 기준전압과 상기 입력전압의 다른 일단이 입력되어 제2 미분전류를 출력하는 제2 미분회로; 및

상기 제1 및 제2 미분전류를 각각 미러링하기 위한 커런트 미러 회로;를 포함하는 것을 특징으로 하는 부스팅 회로.

**【청구항 3】**

제2항에 있어서,

상기 제1 및 제2 미분회로는,

각각 완전차동 연산증폭기, 커패시터, 및 저항으로 이루어지는 미분 회로인 것을 특징으로 하는 부스팅 회로.

#### 【청구항 4】

제3항에 있어서,

상기 완전차동 증폭기는, 좌우 대칭의 NPN 바이폴라 트랜지스터를 입력단으로 하는 것을 특징으로 하는 부스팅 회로.

#### 【청구항 5】

제2항에 있어서,

상기 바이어스 회로부는,

상기 제1 미분전류를 미러링하여, 상기 제1 미분전류를 반전한 제1 반전미분전류를 생성하고,

상기 제2 미분전류를 미러링하여, 상기 제2 미분전류를 반전한 제2 반전미분전류를 생성하는 것을 특징으로 하는 부스팅 회로.

#### 【청구항 6】

제5항에 있어서,

출력회로부는 ,

상기 제1 미분전류 및 상기 제2 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절한 후, 합산하여 제1 출력전류를 생성하는 제1 출력부; 및

상기 제2 미분전류 및 상기 제1 반전미분전류의 크기를 각각 소정의 MOS 크기의 비에 의해 조절한 후, 합산하여 제2 출력전류를 생성하는 제2 출력부;를 포함하며,

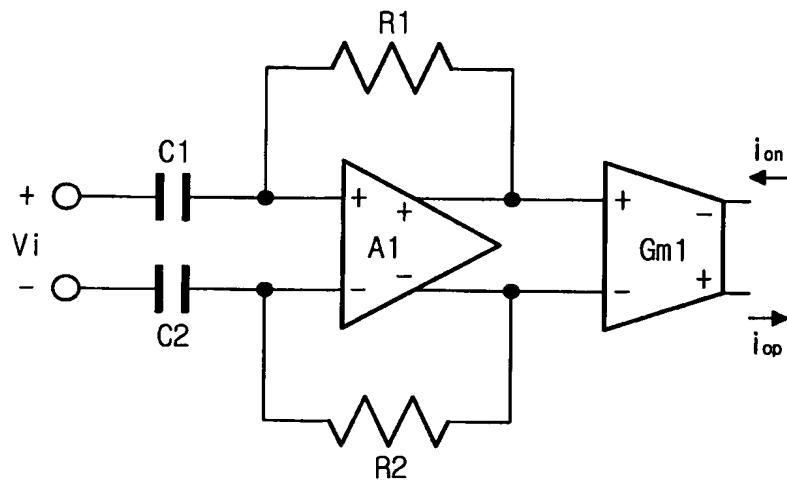
1020030004626

출력 일자: 2003/5/27

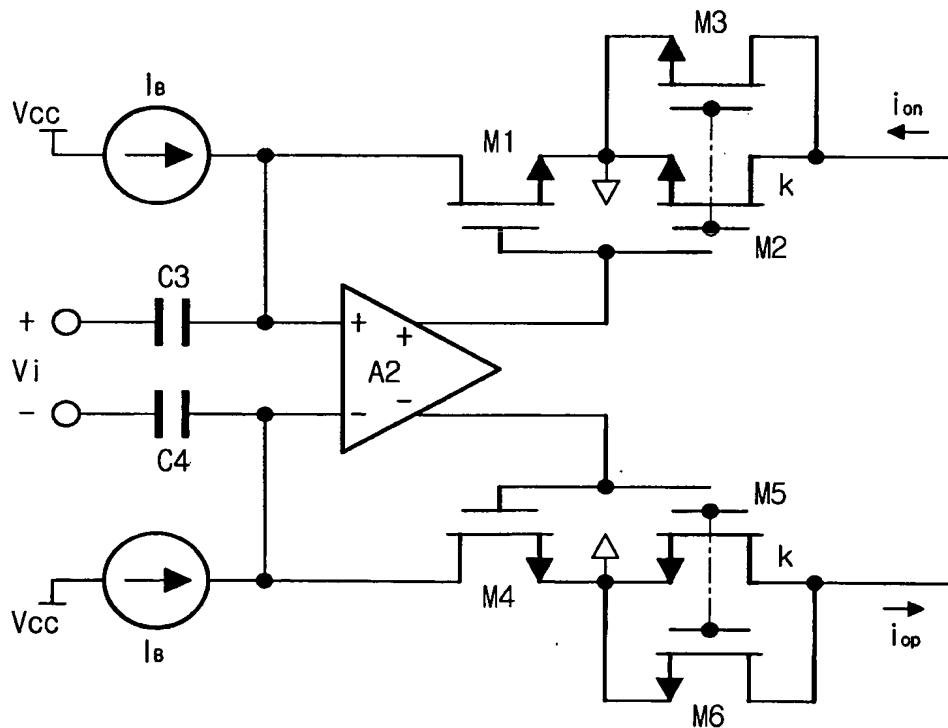
상기 출력전류는 상기 제1 및 제2 출력전류를 합산하여 생성하는 것을 특징으로 하는 부스팅 회로.

## 【도면】

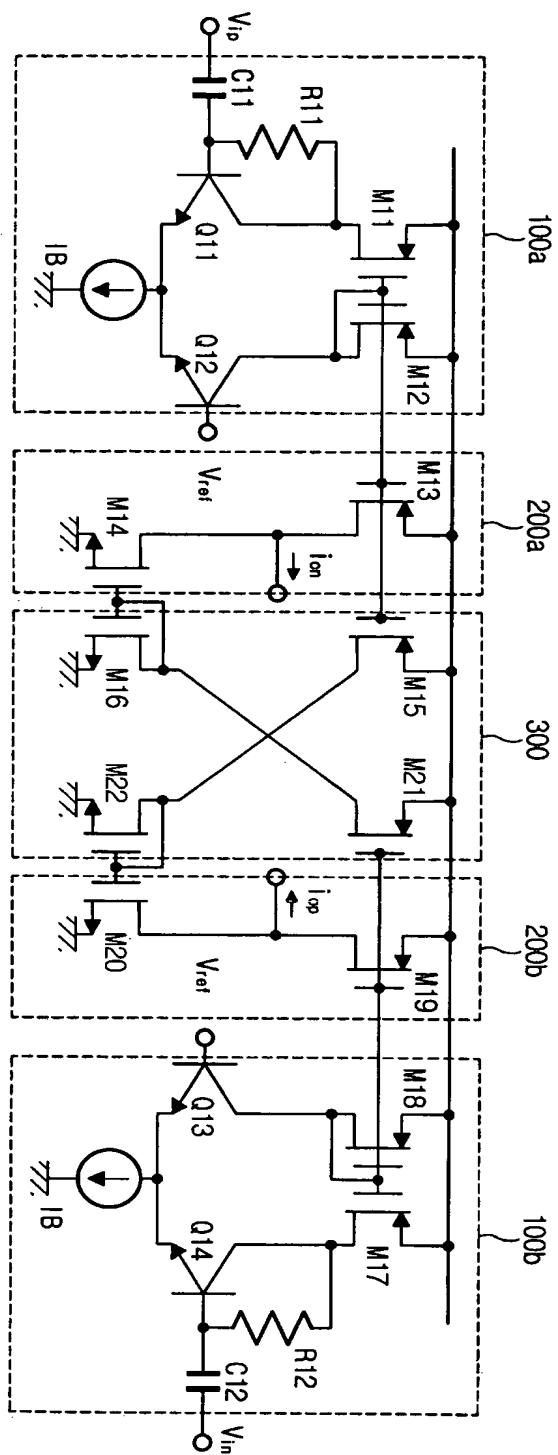
【도 1】



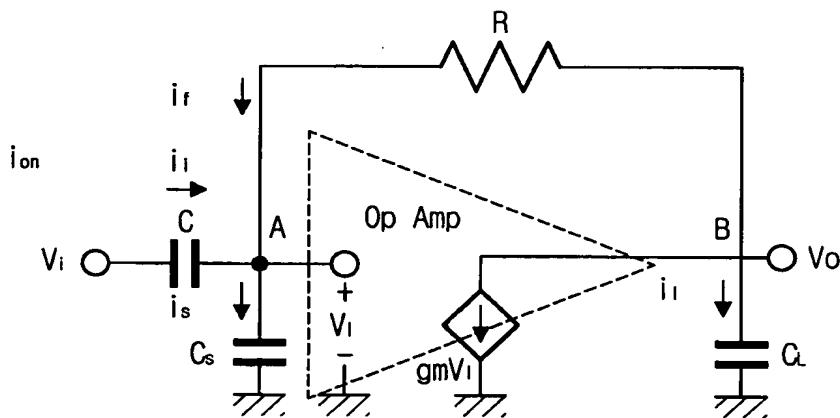
【도 2】



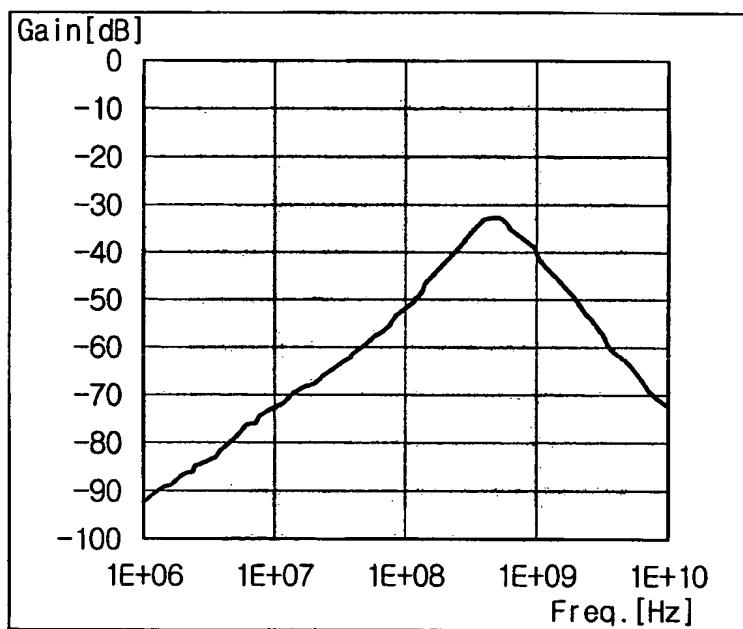
【도 3】



【도 4】



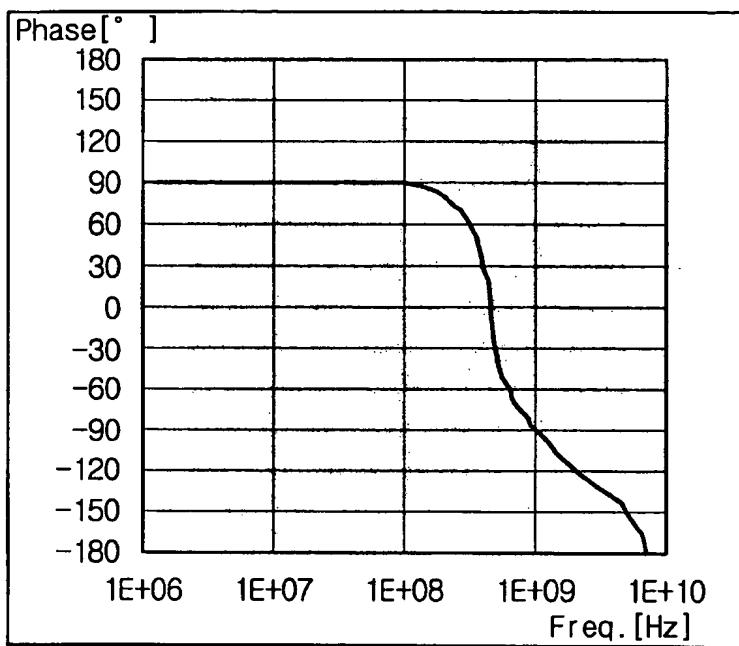
【도 5a】



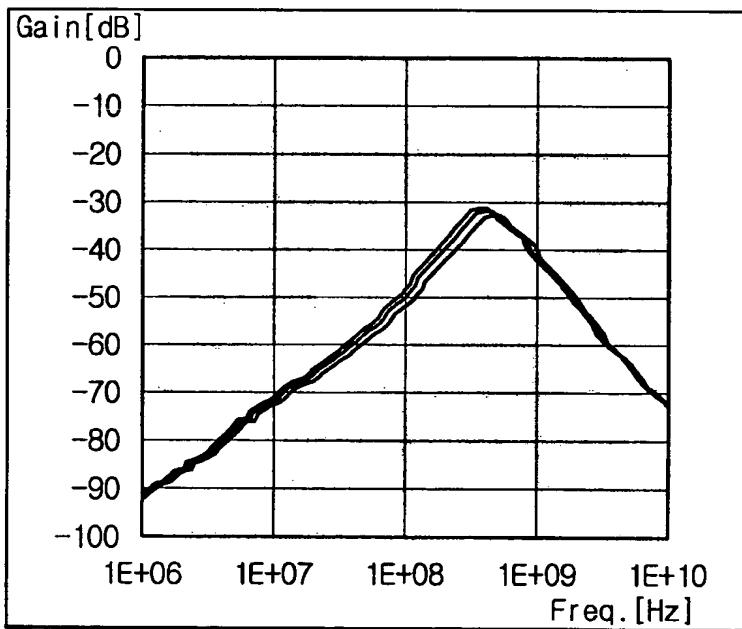
1020030004626

출력 일자: 2003/5/27

【도 5b】



【도 6a】



1020030004626

출력 일자: 2003/5/27

【도 6b】

